



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07235601 A**(43) Date of publication of application: **05.09.95**

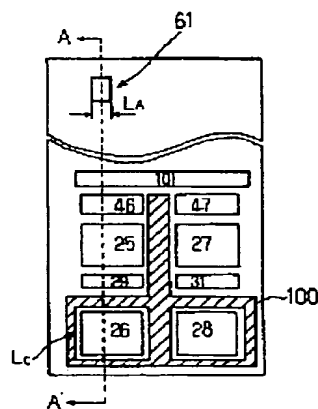
(51) Int. Cl. **H01L 21/8222**
H01L 27/082
H01L 21/76
H01L 27/06
H01L 23/522
H01L 23/556
H01L 23/60
H01L 23/62
H02P 7/06
H03F 3/183

(21) Application number: **06324887**(22) Date of filing: **27.12.94**(30) Priority: **27.12.93 JP 05350420**(71) Applicant: **NIPPONDENSO CO LTD**(72) Inventor: **HAYAKAWA JUNJI**
BAN HIROYUKI**(54) BIPOLAR SEMICONDUCTOR INTEGRATED CIRCUIT****(57) Abstract:**

PURPOSE: To provide a bipolar semiconductor circuit with which an erroneous operation can be suppressed as much as possible even when negative potential is generated on an output terminal in the driving circuit such as a motor and the like.

CONSTITUTION: The short side of the transistor 61 in a rectangular control circuit is opposed to an output transistor 26. As a result, the current coming from the transistor in the control circuit can be controlled even when negative potential is applied to the output transistor 26 and a parasitic transistor is formed, and the erroneous operation of the circuit can be suppressed.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-235601

(43)公開日 平成7年(1995)9月5日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/8222				
27/082				
21/76				
	7514-4M	H 0 1 L 27/ 08	1 0 1 T	
		21/ 76	S	
	審査請求	未請求	請求項の数 6	OL (全 10 頁) 最終頁に続く

(21)出願番号 特願平6-324887

(22)出願日 平成6年(1994)12月27日

(31)優先権主張番号 特願平5-350420

(32)優先日 平5(1993)12月27日

(33)優先権主張国 日本 (J P)

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 早川 順二

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 伴 博行

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

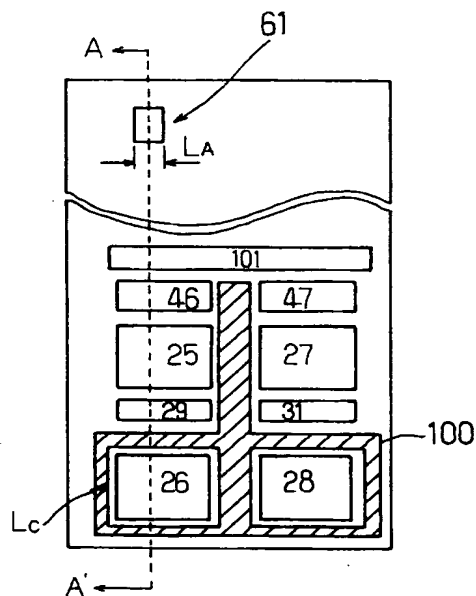
(74)代理人 弁理士 碓氷 裕彦

(54)【発明の名称】 バイポーラ半導体集積回路

(57)【要約】

【目的】 モータ等の駆動回路において出力端子に負電位が発生しても誤動作を極力抑制することのできるバイポーラ半導体回路を提供する。

【構成】 長方形の制御回路内トランジスタ61の短辺を出力トランジスタ26に対向させている。これにより出力トランジスタ26に負電位が印加され、寄生トランジスタが形成されても、制御回路内トランジスタから引かれる電流を抑制することができ、回路の誤動作を抑制することができる。



【特許請求の範囲】

【請求項1】 1つの集積回路チップ上に形成され、出力段トランジスタを有する出力回路部と、この出力回路部を制御する制御用トランジスタを有する制御回路部とを有し、各素子間はPN接合分離されてなるバイポーラ半導体集積回路に於いて、

前記制御用トランジスタのうち、前記集積回路チップ上に長方形上に形成されているトランジスタは全て、その短辺を前記出力段トランジスタ側に向けて配置してなることを特徴とするバイポーラ半導体集積回路。

【請求項2】 前記出力段トランジスタの周囲の、前記制御用トランジスタ側の辺とそれに隣接する2辺の少なくとも3辺を、前記出力段トランジスタと制御用トランジスタの間に形成される寄生トランジスタのコレクタとして機能させるエピタキシャル層で囲んだことを特徴とする請求項1記載のバイポーラ半導体集積回路。

【請求項3】 前記制御回路は、NPNトランジスタを含むものであって、このNPNトランジスタはそのベース、エミッタのPN接合容量を利用したコンデンサであり、そのエミッタに定電流が供給されるとともに、ベース、コレクタが接続され接地電位にされることを特徴とする請求項1または2に記載のバイポーラ半導体集積回路。

【請求項4】 前記出力回路部は、前記出力段トランジスタに電流を供給する電流供給用トランジスタを含み、これらのトランジスタはそのエミッタとコレクタとが接続され、電流供給用トランジスタから出力段トランジスタに電流が供給されるものであり、前記制御回路内に形成された前記コンデンサの充電時間を利用して、前記出力段トランジスタと電流供給用トランジスタとが同時にオンしないようにしたことを特徴とする請求項3に記載のバイポーラ半導体集積回路。

【請求項5】 1つの集積回路チップ上に形成され、出力段トランジスタとこの出力段トランジスタを制御する制御用トランジスタを有し、PN接合分離されてなるバイポーラ半導体集積回路に於いて、前記出力段トランジスタと制御用トランジスタ間に発生する寄生電流を検出する寄生電流検出手段を有し、この寄生電流検出手段より前記寄生電流相当の電流を前記制御用トランジスタのコレクタ及びエミッタのうちの出力側に供給し、前記寄生電流を相殺するようにしたことを特徴とするバイポーラ半導体集積回路。

【請求項6】 前記寄生電流検出手段は前記制御用トランジスタの近傍に形成され前記寄生電流に相当する電流が引き抜かれるエピタキシャル層とこのエピタキシャル層に流れる電流と同等の電流を前記制御用トランジスタのコレクタ及びエミッタのうちの出力側に供給するカレントミラー回路とからなることを特徴とする請求項3記載のバイポーラ半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、素子のレイアウトパターン及び回路構成が改良されたバイポーラ半導体集積回路に関するものである。

【0002】

【従来の技術】 バイポーラ半導体集積回路では、各素子をPN接合で分離するので、目的とする素子、例えばトランジスタとトランジスタの間に隣接するPNPまたはNPN接合領域が現れる。このため、等価的にみると、分離領域とその両側の素子の一部とによってトランジスタが形成されていることになり、印加電圧によっては寄生素子、たとえば寄生トランジスタが現れ、半導体回路としては好ましくない寄生効果が生じる。

【0003】 そして、特公平4-67787号に各能動素子間の分離がPN接合によってなされているバイポーラ集積回路であって、この半導体集積回路のチップ面積を増加することなく、出力段トランジスタに電流を供給する電流供給用トランジスタを挟んで一方の側に出力段トランジスタを他方の側に制御用トランジスタを配置し、電流供給用トランジスタを介することで制御用トランジスタと出力段トランジスタの間に現れる寄生素子による寄生効果を抑えるようにしたものが記載されている。

【0004】

【発明が解決しようとする課題】 しかしながら、モータ負荷等の駆動時において出力段トランジスタに負電位が印加された場合、上記出力段トランジスタ、電流供給用トランジスタ、制御回路内トランジスタの配置に係わる半導体パターン上の配置によっても寄生効果を十分に低減できず誤動作を起こす可能性がある。

【0005】 また図12はDCモータを駆動した場合のモータ端子電圧(V_M)とモータ電流(I_M)の経時変化を表したものである。モータ回転時から停止に至る時に負の電流が発生しており、この時出力段トランジスタに負電圧が発生することとなる。この負の電流は車載用モータの場合、数百mAとなる。このような場合前記のように誤動作を起こす可能性がある。

【0006】 そこで本発明はモータ負荷等の駆動時に負電位が印加された場合でもさらに寄生効果を抑え誤動作をなくす様にするを目的とする。

【0007】

【課題を解決するための手段】 上記課題を解決するための請求項1に記載の発明は、1つの集積回路チップ上に形成され、出力段トランジスタを有する出力回路部と、この出力回路部を制御する制御用トランジスタを有する制御回路部とを有し、各素子間はPN接合分離されてなるバイポーラ半導体集積回路に於いて、前記制御用トランジスタのうち、前記集積回路チップ上に長方形上に形成されているトランジスタは全て、その短辺を前記出力段トランジスタ側に向けて配置してなることを特徴とし

ている。

【0008】また、請求項2に記載の発明は、上記バイポーラ半導体集積回路において、前記出力段トランジスタの周囲の、前記制御用トランジスタ側の辺とそれに隣接する2辺の少なくとも3辺を、前記出力段トランジスタと制御用トランジスタの間に形成される寄生トランジスタのコレクタとして機能させるエピタキシャル層で囲んだことを特徴としている。

【0009】また、請求項3に記載の発明は、請求項1または2に記載のバイポーラ半導体集積回路において、前記制御回路は、NPNトランジスタを含むものであって、このNPNトランジスタはそのベース、エミッタのPN接合容量を利用したコンデンサであり、そのエミッタに定電流が供給されるとともに、ベース、コレクタが接続され接地電位にされることを特徴としている。

【0010】また、請求項4に記載の発明は、請求項3に記載のバイポーラ半導体集積回路において、前記出力回路部は、前記出力段トランジスタに電流を供給する電流供給用トランジスタを含み、これらのトランジスタはそのエミッタとコレクタとが接続され、電流供給用トランジスタから出力段トランジスタに電流が供給されるものであり、前記制御回路内に形成された前記コンデンサの充電時間を利用して、前記出力段トランジスタと電流供給用トランジスタとが同時にオンしないようにしたことを特徴としている。

【0011】また、請求項5に記載のバイポーラ半導体集積回路は、1つの集積回路チップ上に形成され、出力段トランジスタとこの出力段トランジスタを制御する制御用トランジスタを有し、PN接合分離されてなるバイポーラ半導体集積回路に於いて、前記出力段トランジスタと制御用トランジスタ間に発生する寄生電流を検出する寄生電流検出手段を有し、この寄生電流検出手段より前記寄生電流相当の電流を前記制御用トランジスタのコレクタ及びエミッタのうちの出力側に供給し、前記寄生電流を相殺するようにしたことを特徴としている。

【0012】また、請求項6に記載の発明は、請求項5に記載のバイポーラ半導体集積回路において、前記寄生電流検出手段は前記制御用トランジスタの近傍に形成され前記寄生電流に相当する電流が引き抜かれるエピタキシャル層とこのエピタキシャル層に流れる電流と同等の電流を前記制御用トランジスタのコレクタ及びエミッタのうちの出力側に供給するカレントミラー回路とからなることを特徴としている。

【0013】

【作用効果】請求項1に記載の発明によれば、制御用トランジスタに発生する寄生電流は、負電位が印加される出力段トランジスタに対する制御用トランジスタのコレクタ対向長に比例関係にあるので、該寄生電流をトランジスタの配置を考慮するだけで低減化できる。そして該寄生電流を上まわる電流設定とすることで誤動作を回避

できる。

【0014】また請求項2に記載の発明によれば、エピタキシャル層を寄生トランジスタのコレクタとして動作させることにより、制御用トランジスタに発生する寄生電流を一層低減化することができる。請求項3に記載の発明によれば、NPNトランジスタ構造にPN接合容量を利用したコンデンサを形成しても、負電位入力により寄生トランジスタが形成された場合には、接地されたNPNトランジスタのコレクタから電流を引くのみであるからコンデンサには何ら影響を及ぼすことはない。従って、該コンデンサを利用する回路においては、コンデンサによる誤動作は発生しない。

【0015】また、請求項4に記載の発明によれば、請求項3に記載のコンデンサを利用して時定数を形成し、出力回路部に形成されたトランジスタの同時オンの過電流による素子破壊を防止できる。また、請求項5、6に記載の発明によれば、制御用トランジスタに発生する寄生電流相当の電流を検出し制御用トランジスタに供給する、具体的には請求項6に記載のようにエピタキシャル層で検出しカレントミラー回路で制御用トランジスタに供給することにより、寄生電流の直接検出にてその影響を除去した出力段トランジスタの制御を行う事ができる。

【0016】

【実施例】以下図面を参照して本発明の実施例について説明する。図1は正逆転モータ駆動回路の一例を示している。ここで23は制御回路であり、20、21は信号入力端子、22は制御回路用電源入力端子、24は付属の熱遮断回路等であり制御回路23内にはトランジスタ61をはじめとする素子が内蔵されている。また制御回路23の出力側は、トランジスタとダイオードとの組み合わせによって形成される出力回路が構成されている。

【0017】出力回路に於いて、25、27は、電流供給用NPNトランジスタ、46、47は、その駆動用のPNPトランジスタである。26、28は、電流吸い込み用のNPNトランジスタで、これら26、28が所謂、出力段のトランジスタである。図示33は、上記25、27のNPNトランジスタに電源を供給する出力用電源入力端子、29、30、31、32は、出力クランプダイオード、34、35は出力端子である。出力端子34、35には、出力負荷としてのDCモータ50が接続される。また、端子36は、グランド端子(OV)である。信号入力端子20、21の状態によりモータ50を正転あるいは逆転または停止する様制御する。

【0018】図2は図1における出力段トランジスタ26、電流供給用NPNトランジスタ25及び制御回路内トランジスタ61に着目して、バイポーラ半導体集積回路のチップの断面構成を図解的に示す図である。シリコンのP型基板1には埋込層3が形成され、その上にP型拡散による分離層2で分離されたN型エピタキシャル層

4, 41, 42, 43が形成されている。N型エピタキシャル層の上層部には、P⁺ 拡散によるベース5a~5c, N⁺ 拡散によるエミッタ6a~6c, 及びN⁺ 拡散によるコレクタ7a~7dの各領域が形成されている。

【0019】上記ベース5a~5cには、ベース端子8a~8c, エミッタ6a~6cには、エミッタ端子9a~9c及びコレクタ7a~7cには、コレクタ端子10a~10cが各々オーミック接続されている。尚、各端子間を分離する参照数字11で示されるハッチングが付けられた領域は、酸化膜である。ここで出力段トランジスタ26と、電流供給用トランジスタ25との間には、分離層2で挟まれたエピタキシャル層41を配置し該エピタキシャル層41にN⁺ 拡散領域7を介してGND端子12を接続している。この場合GND端子に接続するかわりにV_{CC}に配線してもよい。また図2の中の制御回路23に含まれるトランジスタ61が電流供給用トランジスタ25から出力段トランジスタ26と逆側に配置している。

【0020】そして、上記トランジスタ25のエミッタ6bとトランジスタ26のコレクタ7cをアルミ配線で接続する出力端子35に図12で示した様な負電圧が印加された場合に、従来技術で説明した様に出力トランジスタ26のコレクタ領域4をエミッタとし、分離層2をベースとし、エピタキシャル層41をコレクタとした寄生のNPNトランジスタ15が発生する。このトランジスタ15の電流増幅率h_{FE}は、一般には低い値であるが、出力端子35への印加される負電圧が大きくなると、上記エピタキシャル層41から流れる電流も大きくなる。

【0021】一方、上述の寄生トランジスタ15は、ラテラル構造となるため、該コレクタは、マルチコレクタとしてトランジスタ25のコレクタ及び、制御回路を構成するチップ上のその他の素子、例えばトランジスタ61のコレクタへも接続されている。従って、出力端子35への負電圧が大きくなれば、上述の制御回路内素子より引き抜かれる電流が大きくなり、誤動作を起こすこととなる。この寄生トランジスタ構成を等価回路化したものが、図3である。ここで、トランジスタ62のベースはトランジスタ61のコレクタに配線しており、トランジスタ61はトランジスタ62の入力段となっている。そしてトランジスタ61, 62は制御回路内論理回路を構成するトランジスタであり、71~73は、寄生トランジスタを等価回路で示したものである。

【0022】図2で示した、寄生トランジスタ15は、図3において寄生トランジスタ71で示してあり、等価的にコレクタ、ベースを短絡したダイオードとなる。また、図2のトランジスタ25のコレクタと接続する寄生トランジスタは、72で示してあり、寄生トランジスタ71とベース、エミッタが共通となる。また、制御回路内トランジスタ61のコレクタと接続する寄生トランジ

スタは、73で示している。このトランジスタ61は、sw1によりベースを駆動され、定電流電源I₁により、コレクタ電位を変化させ次段のトランジスタ62のベース駆動する。

【0023】上記構成に於いて、出力端子35より、負電圧が印加されると、寄生トランジスタ71~73の共通エミッタから電流を引き抜くだけではなく、カレントミラー動作により集積回路チップ上の他のNPNトランジスタのコレクタからも、電流を引き抜くこととなる。従って負電位によっては、寄生トランジスタ73のコレクタ電流I₇₃が定電流電源I₁より大となり、トランジスタ61のオフ時に段のベース電流が供給されないためにトランジスタ62が正常動作せず、従って本回路全体を成す半導体集積回路に誤動作が発生することになる。

【0024】本発明において、出力端子35への負電圧印加が発生する場合に、出力端子35から引き抜かれる電流に起因する寄生電流が、個々の寄生トランジスタを成すコレクタ(NPNトランジスタ等のN型コレクタ領域)対向長の比と比例関係があることを図4に示すよう定量化した。図4において横軸は平面パターンにおけるコレクタ対向長比R_Lを表しており、図1の出力段回路部及び1部制御回路の平面パターンを表した図5においてトランジスタ61のコレクタ対向長L_Aと出力段トランジスタ26に対する周辺のエピタキシャル層領域100の対向長L_Cの比である。また縦軸R_Iはトランジスタ61の寄生電流I₇₃とエピタキシャル層領域100による寄生電流I₇₁の比である。

【0025】これは、P拡散分離層のベースを介して断面方向の電流密度はほぼ等しいと考えられるのでラテラルNPNトランジスタのコレクターエミッタ間対向断面積が大きい程電流値が大きくなる傾向にあることを示している。ここで、深さ方向は同一なので対向断面積と対向長は比例関係になる。例えば、図3の寄生トランジスタ71(図2のトランジスタ15)のコレクタ対向長と寄生トランジスタ73のコレクタ対向長の比が1/100の時、引き抜く電流I₇₁と、寄生コレクタ電流I₇₃の比は、約10⁻⁵となることを明らかにした。そして、例えばI₇₁が0.3Aの時、I₇₃は約3μAとなる。

【0026】上記定量化関係により、出力端子35への負電位により発生する電流を明らかにすれば寄生電流I₇₃が判明し、図3で示す制御回路部の定電流値I_IをI_I-I₇₃>I_{C min}(I_{C min}は、トランジスタ62駆動に必要な電流)と設定すれば次段のトランジスタ62を十分駆動できる電流を確保できる。従って、負電位印加時においても、誤動作の発生しない良好な半導体集積回路を提供出来る。

【0027】図1で述べた各素子の配置を具体的に半導体チップ上の平面レイアウトパターン化させたものが図5である。トランジスタ25~28, 46, 47, 及びダイオード29, 31は、図1で示した素子番号と対応

10

20

30

40

50

している。また、100及び101はN型エピタキシャル層領域を表している。また、図1の23、24の回路ブロックは、N型エピタキシャル層領域100及び101の外部の上面又は、左右面に配置しており図5には図示されていない。ここで、図4に於ける横軸の R_L （コレクタ対向長比）は、制御回路内トランジスタ61のコレクタ対向長 L_A に対するトランジスタ26の周囲のN型エピタキシャル層100のコレクタ対向長比 L_C との比を表している。

【0028】このように、N型エピタキシャル層領域100が出力トランジスタの周囲をとり囲むことにより、図3で示す寄生トランジスタ71の寄生コレクタ電流の占める割合を増大させ、よって誤動作の原因となる寄生トランジスタ72、73の寄生分のコレクタ電流値の割合を低減させている。また、前記構成によっても効果があるがさらに寄生電流の低減を図るために以下のようにした点が本発明の特徴である。すなわちチップ上面に配置した23、24の回路ブロックには、コレクタに定電流電源を接続するトランジスタ61が少なくとも1素子以上内蔵され、該トランジスタの長方形の平面パターンのうち、短辺を出力トランジスタ26及び28に対向させている。図5においては、制御回路内のトランジスタは1つ（トランジスタ61）しか示さなかったが、制御回路内のトランジスタのうち、長方形のパターンにされているトランジスタにおいては全て上述したトランジスタ61と同様に配置されている。

【0029】このように、トランジスタ61を含む制御回路のトランジスタの素子形状5の平面パターンのうち短辺を出力トランジスタ26、27に対向させたことにより、図4で示した横軸の対向長比の分子をトランジスタ61の長辺長から短辺長に低減できる。一般的に長辺長と短辺長の比は、約3対2であり、約2/3に減少できる。よって、縦軸の寄生電流比を低減できる。制御回路等を構成するトランジスタのパターン配置を短辺対向とすることで、出力端子への負電位印加による寄生電流値を低減できる。従って、図5の配置構造とすることで、誤動作が起りにくい構成となる。

【0030】そして、回路構成上の負荷状態及びパターンレイアウトで寄生電流が計算されるので、それ以上の制御電流を供給することにより寄生による誤動作を完全に防止できる。図5においてトランジスタ61は出力トランジスタ26、27の上方に配置しているので図示の向きとなるが、トランジスタ61が出力トランジスタ26、27の左右に配置された場合はトランジスタ61の向きは図示より90度回転させた向きとなり短辺 L_A が出力トランジスタ26、27側に向く事となる。またトランジスタ61が出力トランジスタ26、27に対し斜め上方45度方向に配置された場合は、45度方向より上の場合は前者すなわち図5の向きにし、45度方向より下の場合は後者すなわち図5の向きより90度回転さ

せた向きとする。尚、このことは、制御回路内の長方形上にパターンニングされたトランジスタ全てに言えることである。

【0031】図6は図5のA-A'の断面についての具体的な構造及び配線を示している。ここでエピタキシャル層領域101の断面は、省略してある。図6は、図2と同一素子には同一番号を付与してある。破線で示した26、29、25、46、61は、図1で示す素子番号と同一の素子番号を示している。本実施例は、断面配置及び配線方法を示したものである。

【0032】図7は図5の他の実施例であり出力段トランジスタ26、28の下方にダイシング面がある場合は下方に寄生効果をおこす素子が存在しないので出力トランジスタの左右上方の3方向をとり囲んだ構成としている。以上、述べたように、前述した実施例によれば、バイポーラ半導体集積回路において、該集積回路のチップサイズを大幅に拡大することなく、出力段トランジスタの少なくとも3方向にエピタキシャル層領域を配し、本回路を構成する少なくとも1素子のトランジスタの短辺を前記出力段トランジスタに対向させ、制御回路部等の定電流部の設定値を寄生電流を越えて設定することにより、半導体集積回路に現れる寄生素子による寄生効果を効果的に低減した上で、回路誤動作を発生しない良好な半導体集積回路を提供することが出来る。

【0033】図8は、図1の具体的回路であり、同一素子、同一回路ブロックは同一番号を付している。尚、ダイオード29～32は、省略している。信号入力端子20に接続する比較器81と信号入力端子21に接続する比較器82と各々の比較器に接続するトランジスタ51、53及びトランジスタ等で構成するインバータ87、88に各々接続され、その各々の出力は、トランジスタ52、54に接続されている。これらトランジスタ51、52、53、54のコレクタには、各々 I_{10} 、 I_{20} 、 I_{30} 、 I_{40} に設定した定電流電源と、コンデンサ57、58、59、60がそれぞれに接続されると同時に、各々が比較器83～86に接続される。これらの比較器は、論理回路を介して出力回路を構成するトランジスタ46、25、26、28、27、47、に接続されている。

【0034】本発明に於いては、インバータ87及び88に入力される電位により、81、82の比較器が動作し、この出力が変化することにより、例えばトランジスタ53がONからOFFに移行すると、コンデンサ59は I_{30} により充電に移行し

【0035】

【数1】 $t_d = C_{59} * V_{ref5} / I_{30}$

なる時間までは比較器85のしきい値電圧に、達しないため遅延が発生する。ここで C_{59} はコンデンサ59の容量値であり、 V_{ref5} は比較器85のしきい値電圧を表す。従って、この t_d 後に次段に接続する比較器85が

動作し、論理回路へ信号が伝達される。

【0036】本発明においては、このコンデンサへの定電流充電による遅延を利用し、論理回路ブロックへの信号に時間差を設けることにより、電流供給用トランジスタ25又は27がOFFからONへ移行しあるいは、出力トランジスタ26又は28がOFFからONへ移行す*

* 際の遅延により、配線で接続された電流供給用及び出力トランジスタの同時ONを禁止するものである。

【0037】次に具体的論理を説明する。信号入力と出力の関係は、表1のようになる。

【0038】

【表1】

信号入力端子		出力トランジスタ			
20	21	25	26	27	28
H	H	OFF	ON	OFF	ON
H	L	ON	OFF	OFF	ON
L	H	OFF	ON	ON	OFF
L	L	OFF	OFF	OFF	OFF

この場合、出力トランジスタ26に着目すると、入力端子21がL→Hになると、コンデンサ59と比較器85で t_d なる遅延が発生して出力トランジスタ26はONし、また出力トランジスタ25に着目すると、入力端子21がH→Lになるとコンデンサ60と比較器86で t_d なる遅延が発生して出力トランジスタ25はONするので、出力トランジスタ25、26の同時OFFを実現出来る。このように、本構成により、集積回路チップ内部の電流貫通を無くすことが出来、良好な半導体集積回路を提供できる。

【0039】図9には、図8の回路を採用した場合の入出力波形を示してあり、横軸を時間とした信号入力端子20、21への入力波形に対する出力端子34、35の出力波形を示している。図中の t_d の時間の間、電流供給用及び出力トランジスタの同時OFFを実現できる。図10は、上記に説明した遅延を発生させるためのコンデンサを形成した実施例を図解的に示す断面構成図であり、図8のトランジスタ53、コンデンサ59、トランジスタ59'及び出力トランジスタ26に着目して示している。1はP型基板であり、分離層2を介してN型埋込層上のN型エピタキシャル層に、P型拡散領域であるベース5c、5e、5eとN⁺拡散によるエミッタ6c、6e、6eとN⁺拡散によるコレクタ7c、7e、7eを有する出力トランジスタ26、トランジスタ59'及びトランジスタ53が形成されている。

【0040】また該トランジスタ59'のエミッタ6eには定電流源I₃₀が供給されており、コレクタ7e、ベース5eを配線して接地し、逆バイアス接合に於けるベース5eとエミッタ6eのPN接合容量でコンデンサを形成している。またトランジスタ59'のエミッタ6e上に斜線で明示した酸化膜の厚さを薄膜化した領域11'を設け、その上にグラウンドに接続した配線部材を設けたものであり前記PN接合容量に付加してMOS型容量を形成している。これにより同一容量値を小さいトラ

ンジスタ面積で実現出来る。特に今回のようにPN接合容量とMOS容量の両方を形成する必要はなく、単にPN接合容量のみでもよい。このコンデンサが図8のコンデンサ59に相当し定電流源I₃₀とともに t_d なる遅延を発生する。この容量値は100pF程度以下で100μsec程度の遅延に対し定電流源I₃₀の電流値も10μA以下と非常に小さい。

【0041】今、定電流源I₃₀がトランジスタ53に接続されていない場合を考える。このとき、トランジスタ59'によりコンデンサを形成した場合には、出力端子35に負電位が印加され、出力端子35より電流が引き抜かれるがトランジスタ59'においてはコレクタが接地されており、グラウンドから電流を引くため、コンデンサには何ら影響を及ぼさず、従って、常に安定した遅延時間 t_d を供給できることになる。

【0042】実際、図8に示す回路においては、コンデンサに供給する定電流I₃₀はトランジスタ53にも供給される。従って、トランジスタ53のエピタキシャル層領域47をコレクタとした寄生トランジスタが発生する可能性がある。よって、上記のようにコンデンサをトランジスタ59'により形成しても、他の素子の影響を受ける可能性がある。その影響を抑えるためには、寄生電流を検出する検出回路を構成し、その回路にて検出した寄生電流に相当する電流分を、トランジスタ53の出力となるコレクタに供給するようにすればよい。実際には本実施例においては、図11に示すように、カレントミラー回路を構成している。

【0043】このカレントミラー回路は、図11に示すように本集積回路チップ内に形成するPNPトランジスタ63、64により構成し、入力側トランジスタ63のコレクタ、ベースには、図10には図示されていないがトランジスタ53の近傍に形成したエピタキシャル層領域に配線し、出力側トランジスタ64のコレクタにはトランジスタ53のエミッタ6fに配線している。

【0044】上述したトランジスタ53の近傍のエピタキシャル層領域は、出力トランジスタ26に対するコレクタ対向長が同等の、 N^+ 拡散によるコレクタを有する領域である。ここで近傍の範囲は、前記寄生のコレクタ電流が、コレクタ対向長が等しい時ほぼ等しい範囲であり、具体的には図5においてトランジスタ61をトランジスタ53とみなしてトランジスタ53とトランジスタ26の中心よりトランジスタ53の近くに存在する範囲と考える。

【0045】図11は、寄生トランジスタの影響を防止している状態を表す等価回路図である。出力端子35に負電位が印加され、出力端子35より電流が引き抜かれると図10に示している出力トランジスタ26のエピタキシャル領域4がエミッタとなり、接地された分離層2をベースとし、トランジスタ53のコレクタ領域47をコレクタとした寄生のNPNトランジスタ76と、トランジスタ59'のコレクタ領域48をコレクタとした寄生のNPNトランジスタ75と、カレントミラー回路の出力側トランジスタが接続されたエピタキシャル層領域をコレクタとした寄生のNPNトランジスタ77が形成される。このとき、上述したように寄生トランジスタ75はグラウンドから電流を引くため回路的に何ら問題がない。しかしながら、寄生トランジスタ76は定電流 I_{30} から電流を引くため、トランジスタ53の出力への影響、および本回路においては、定電流 I_{30} がコンデンサ59にも供給されているため、例えば時定数への影響が考えられる。

【0046】そこで、上記のようにカレントミラー回路を構成した場合、寄生トランジスタ76と寄生トランジスタ77の両者は出力トランジスタ26に対しコレクタ対向長を同等としているので、寄生のコレクタ電流 I_{76} と I_{77} が等しくなる。すなわち引き抜かれる寄生電流 I_{76} とカレントミラー回路を介して供給される電流 I_{77} が等しいので、結果としてトランジスタ53へ供給される電流は寄生トランジスタが動作しても変化しないことになる。これにより、出力への負電圧印加による寄生電流 I_{76} の影響を完全に排除できることになる。

【0047】このカレントミラー回路は上記説明からもわかるように、コンデンサが形成されていない回路においても、その効果を発揮するものである。すなわち、図3の場合にも制御用トランジスタ61に前記カレントミラー回路を付加して、寄生電流の直接検出にてその影響を除去することができ、この場合は制御用トランジスタ61の出力側がコレクタの時の例である。このように複数存在する制御用トランジスタのコレクタ及びエミッタ

のうちの出力側に寄生電流相当の電流を供給することにより寄生効果を相殺することができる。

【0048】まとめると、図4により、コレクタ対向長を短くした上で、その場合でも発生する寄生電流を超えて誤動作のない定電流供給する必要があったが、図11に示されるようなカレントミラー回路を付加することで、寄生電流の影響を考慮する必要がなくなるのでICの消費電流を引き下げることが出来る。

【図面の簡単な説明】

【図1】正逆転モータドライバ回路の一例を示す回路ブロック図である。

【図2】本発明の特徴を示すバイポーラ半導体集積回路の断面構成図である。

【図3】図2の寄生トランジスタに着目した等価回路図である。

【図4】寄生に係わるトランジスタの平面パターンにおけるコレクタ対向長比と寄生電流の関係を示すグラフである。

【図5】本発明の特徴を示す、図1における出力段回路と一部制御回路の平面パターン図である。

【図6】図5のA-A'面の断面構成図である。

【図7】図5の他の実施例を示す平面パターン図である。

【図8】図1の詳細な回路ブロック図である。

【図9】図8の回路における入出力の関係を示すタイミングチャートである。

【図10】本発明の1実施例を示す断面構成図である。

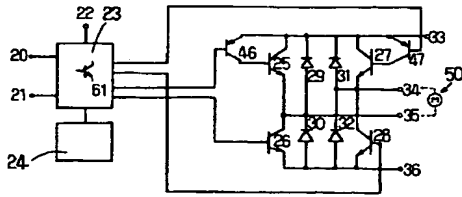
【図11】図10についての等価回路図である。

【図12】モータ駆動時のモータ端子電圧とモータ電流の経時変化である。

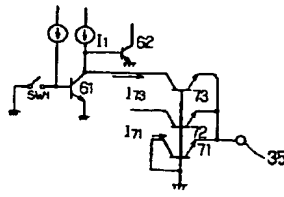
【符号の説明】

- 1 P型基板
- 2 P型分離層
- 4, 41~47 N型エピタキシャル層
- 5a~5c P型拡散層
- 6a~6c N型拡散層
- 7a~7c N型拡散層
- 15, 71~77 寄生トランジスタ
- 25, 27 電流供給用トランジスタ
- 46, 47 電流供給用トランジスタの駆動用トランジスタ
- 26, 28 出力段トランジスタ
- 29~31 出力クランプダイオード
- 61 制御回路内トランジスタ
- 100, 101 N型エピタキシャル層

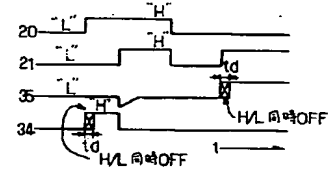
【図1】



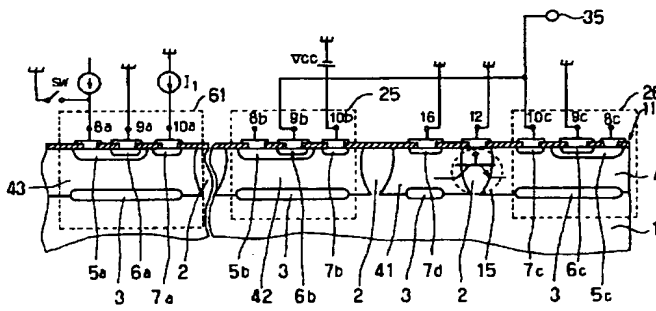
【図3】



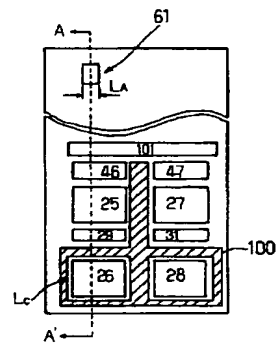
【図9】



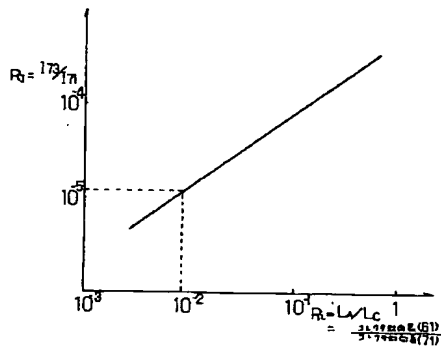
【図2】



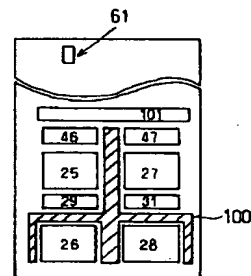
【図5】



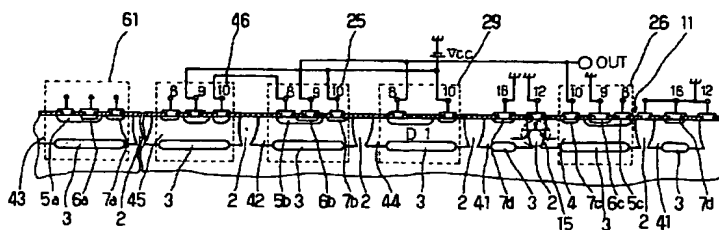
【図4】



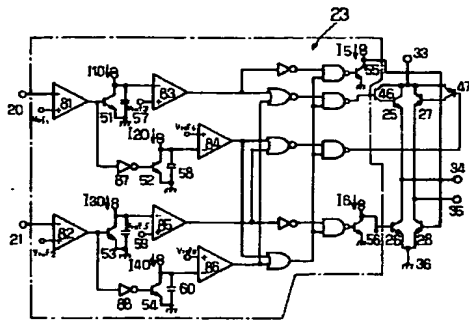
【図7】



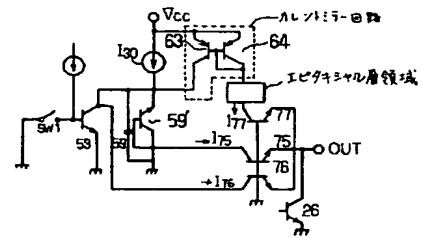
【図6】



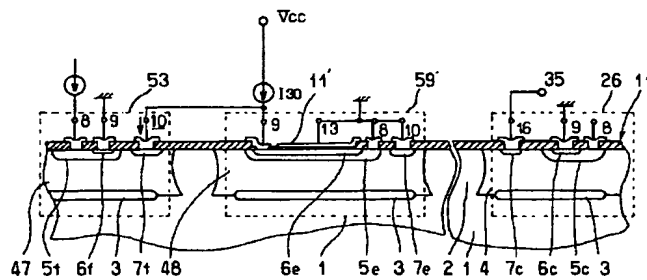
【図8】



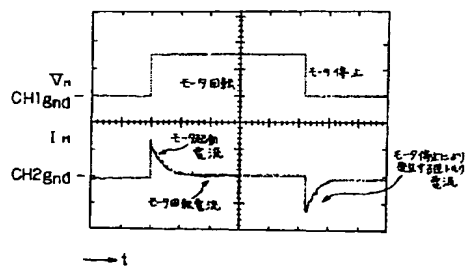
【図11】



【図10】



【図12】



フロントページの続き

(51)Int.Cl.⁶

H01L 27/06

23/522

23/556

23/60

23/62

識別記号

庁内整理番号

F I

技術表示箇所

(10)

特開平 7-235601

H02P 7/06

K
G

H03F 3/183

8839-5J
7514-4M

H01L 27/06

101 P